

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-29496

(43) 公開日 平成8年(1996)2月2日

(51) IntCl⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

H 0 1 L 21/66

21/82

F 7514-4M

G 0 1 R 31/ 28

V

H 0 1 L 21/ 82

審査請求 有 請求項の数 5 F D (全 10 頁) 最終頁に続く

(21) 出願番号

特願平6-183042

(22) 出願日

平成6年(1994)7月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 榎並 智和

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 山畑 均

東京都港区芝五丁目7番1号 日本電気株式会社内

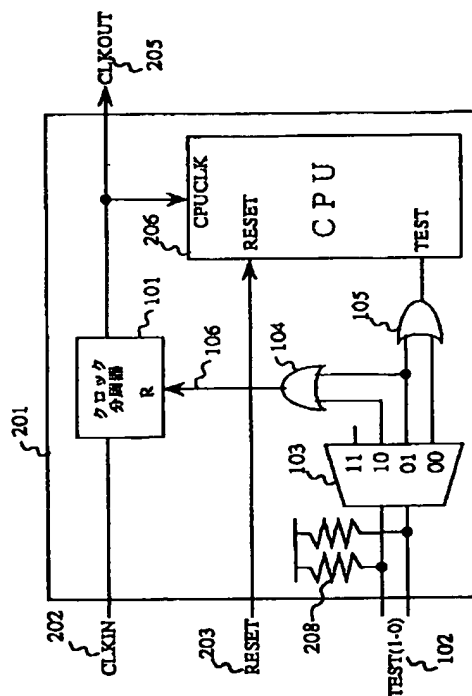
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体集積回路及びそのテスト方法

(57) 【要約】

【目的】 クロック分周回路を備えた半導体集積回路のクロックを位相合わせを可能としてテスト容易化を達成すること。

【構成】 テストモードを有する半導体集積回路において、テスト信号入力手段と、テスト信号デコード手段と、クロック入力手段と、クロック入力手段から入力されたクロックを分周する分周手段と、を有し、分周手段に対して、テスト信号入力手段から入力されたテスト信号をテスト信号デコード手段によりデコードした結果を用いてクロックの位相合わせを行うことを特徴とする。



【特許請求の範囲】

【請求項1】テストモードを有する半導体集積回路において、テスト信号入力手段と、テスト信号デコード手段と、クロック入力手段と、該クロック入力手段から入力されたクロックを分周する分周手段と、を有し、前記分周手段に対して、前記テスト信号入力手段から入力されたテスト信号を前記テスト信号デコード手段によりデコードした結果を用いてクロックの位相合わせを行うことを特徴とする半導体集積回路。

【請求項2】前記テスト信号入力手段から入力されたテスト信号によりクロックの位相合わせを行う期間には、前記クロック入力手段へ入力されるクロックの周期が伸長されることを特徴とする請求項1記載の半導体集積回路。

【請求項3】前記テスト信号デコード手段が、前記テスト信号入力手段から入力されるテスト信号の組合わせに基づき、テストモード時以外の通常動作時においても、前記分周手段にクロックの位相合わせを行うための信号を供給するように構成されたことを特徴とする請求項1又は2記載の半導体集積回路。

【請求項4】テスト信号入力手段と、テスト信号デコード手段と、クロック入力手段と、該クロック入力手段から入力されたクロックを分周する分周手段と、を備えた半導体集積回路のテスト方法であって、

前記テスト信号入力手段に所定の信号を供給し、前記分周手段に対して前記テスト信号入力手段から入力された信号を前記テスト信号デコード手段がデコードし、

前記テスト信号デコード手段の出力に基づきクロックの位相合わせを行うようにしたことを特徴とする半導体集積回路のテスト方法。

【請求項5】前記テスト信号入力手段から入力されたテスト信号による位相合わせを行う期間には、前記クロック入力手段へ入力するクロックの周期を伸長してクロックの位相合わせを行うことを特徴とする請求項3記載の半導体集積回路のテスト方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路及びそのテスト方法に関し、特に、入力されたクロックを分周して内部回路が動作する半導体集積回路及びそのテスト方法に関する。

【0002】

【従来の技術】半導体集積回路（以下「LSI」という）は、その内部回路がクロックに同期して動作するものが多い。近時、技術の進歩に伴い、LSIの動作クロック周波数は大きく向上している。

【0003】このため、LSI製造時のテストにおいて使用するLSIテストの周波数の向上が追いつかず、最高動作周波数に関して、LSIテストとLSIとはほぼ同程度にな

っている。

【0004】また、マイクロプロセッサやマイクロコントローラ等のLSIにおいては、通常、内部動作クロックとして50%のデューティサイクル、すなわち内部動作クロックの高電位幅と低電位幅が一致するクロックが用いられ、LSI内部で1/2分周しているものが多い。

【0005】この場合、LSIの内部動作クロック周波数がLSIテストの最高動作周波数と同程度のものではLSIテストで測定できる。すなわち、LSIテストから基本波の2倍のレートの信号を被試験デバイスであるLSIの入力クロックとして与えておき、実際の測定対象であるLSIの入出力信号は、LSIテストの基本波にて行なうものとする。これにより、LSI内部動作がLSIテストの最高動作周波数に近くなっても測定が行なえることになる。

【0006】図5は、入力されたクロックを分周して内部回路が動作するマイクロプロセッサのクロックの供給回路を示すブロック図（「従来例1」という）である。

【0007】図5において、マイクロプロセッサ201は、クロック入力（CLKIN）202と、リセット入力（RESET）203と、テスト入力（TEST）204と、クロック出力（CLKOUT）205と、を備えている。また、マイクロプロセッサ201は、内部に、中央処理装置（以下「CPU」という）206と、クロック分周器207と、プルアップ抵抗208とを備えている。

【0008】図6に、クロック分周器207の詳細と動作タイミングを示す。図6(A)に示す通り、クロック分周は、立上り同期のフリップフロップ301を用いてエッジトリガの1/2分周を実現している。すなわち、図6(B)のタイミングチャートに示すように、入力の立ち上がり同期して出力が変化する。

【0009】図5において、クロック入力（CLKIN）202から入力されたクロック信号は、クロック分周器207で1/2分周されるとともに、デューティが50%にとのえられて、CPU206のクロック入力端子（CPUCLK）に供給され、さらにクロック出力（CLKOUT）205から外部に出力される。クロック出力（CLKOUT）205から出力されたクロック信号は、マイクロプロセッサ201以外の周辺機能回路（不図示）で用いられる。

【0010】リセット入力（RESET）203から入力されたリセット信号は、CPU206に入力されるが、このリセット信号はクロック分周器207には用いられない。すなわち、クロック分周器207が、リセット入力（RESET）203から入力されたリセット信号によってリセットされることはない。

【0011】この理由の一は、リセット入力（RESET）203に入力されるリセット信号がアクティブとされる期間中においても、マイクロプロセッサ201は、外部の不図示の周辺回路等に対してクロック信号をクロック出力（CLKOUT）205から供給し続けることが必要とされるためである。また他の理由として、CPU206内部の同期回路

3

(不図示)をリセットするために、CPU206にクロックを供給することが必要とされるためである。

【0012】テスト入力(TEST)204から入力される信号は、CPU206をテストするための制御信号であり、図5に示すように、CPU206のテストモード制御端子(TEST)に接続されており、実質的にLSI製造時のテストの際にのみ用いられる。

【0013】一般のユーザーが、マイクロプロセッサ201を使用する場合(すなわち通常動作時)には、テスト入力(TEST)204を“1”に固定して使用するか、あるいは、無接続とすることでプルアップ抵抗208により、高電位がCPU206のテストモード制御端子(TEST)に供給され、CPU206は通常動作を行なう。

【0014】LSI製造時等のテストに際しては、テスト入力(TEST)204を“0”にして、CPU206に設けられたテスト機能を作動させるようにする。

【0015】図6(B)のタイミングチャートにおいて、出力(i)は、電源投入時点でフリップフロップ301の値(=出力Q)が“1”の場合、出力(ii)は、電源投入時点でフリップフロップ301の値が“0”の場合のフリップフロップ301の出力の信号波形をそれぞれ示している。

【0016】図6(B)に示すように、電源投入時点におけるクロック分周器207内部のフリップフロップ301の状態によって、所定の時刻TにおいてCPU206に供給されるクロックの位相が異なることになる。

【0017】

【発明が解決しようとする課題】LSI製造時等のテストにおいては、LSIテストから時刻をおって被試験デバイスであるLSIに信号を入力し、時刻毎に該LSIからの出力信号を期待値と比較することでLSIの良品判定を行っている。

【0018】図5を参照して説明したように、従来のマイクロプロセッサではクロック分周器207に位相同期機能を備えていない。

【0019】このため、図5の従来例1のような構成のクロック分周器を持つマイクロプロセッサのテストにおいては、電源投入後のクロック供給開始時点から調べて、LSIから最初に出力される信号を基に期待値との位相合わせを行う必要がある。すなわちLSIテストは、被試験デバイスであるマイクロプロセッサの適当な出力信号を基に調歩同期を行う必要がある。

【0020】このような調歩同期を行う場合、調歩同期の基準となる信号の選択やLSIテストの制御プログラムの記述などに固有のノウハウが必要とされる。

【0021】また、本来テストしたい項目の前にわざわざ調歩同期を行う信号を出力させる項目を付加するなどの方法をとるため、LSIのテスト時間に余分な時間を必要とする。

【0022】LSIの高集積・高機能化に伴い、LSIのテ

4

ト開発及びテスト時間は、LSIの製造コストに大きな比重を占めるに至り、上記のように、テストの際に調歩同期を行うことは、LSI製造コストの低減を阻害する要因ともなる。

【0023】次に、図7を参照して、テストモードを備えた従来のLSIの構成として、特開昭64-47975号公報に開示された技術(「従来例2」という)を説明する。従来例2には、通常入力信号を実際の使用状態ではあり得ない組合せによりセットできる集積回路内のフリップフロップを用いて、フリップフロップの出力とテスト対象となる部分に影響しない入力とを組み合わせて、テスト対象部分の一部又は全部をテスト状態としたり、リセット状態としたりする構成が提案されている。

【0024】図7において、Aは分周回路1への基本クロックの入力端子であり、端子B、C、D、Eは機能ブロック4のテストに影響を与えない入力端子で、端子B、D、EはANDゲート8、3、7の一方の入力に接続され、これらのANDゲートの他方の入力はDタイプフリップフロップ9の出力に接続され、ANDゲート8の出力は、分周回路1のリセット入力に接続されている。端子Fはリセット入力端子であり、端子G、HはANDゲート10の入力とされるが、実使用状態で同時に“1”となることはない。主たるテスト対象である機能ブロック4の出力はテスト対象でない機能ブロック5に入力され、更に機能ブロック5の出力と共にマルチプレクサ6の入力に接続され、マルチプレクサ6のセレクト入力はANDゲート7に接続されている。

【0025】従来例2では、テスト状態においては、テスト対象ブロックに影響しない通常入力信号をテスト対象ブロックの制御に用いる。これによりテスト対象ブロックに特別なクロックを入力することや、テスト対象ブロックから他ブロックへの信号を直接出力信号として観測するマルチプレクサを制御している。

【0026】このように、従来例2では、テスト状態と通常状態とを区別するためのフリップフロップをLSI内に持ち、各種の入力セレクトや出力マルチプレクサの切替えに使用している。

【0027】しかしながら、従来例2では、通常信号の経路に、これらのセレクトやマルチプレクサが挿入されるため、LSIの最高動作周波数に対して悪影響が生じる。特に、LSIのクロック供給信号経路に対してセレクトやマルチプレクサを挿入することは、先に述べた最近の技術動向(すなわちLSIの動作周波数の大幅な向上)の点からも問題がある。

【0028】また、従来例2では、通常信号を通常使用しない組合せにしたときにテスト状態を示すフリップフロップがセットされるようにしているため、一般ユーザーが実使用時に誤ってテスト状態に設定してしまうという危険がある。

【0029】特に、外部入力信号の変化時の僅かな重な

5

りあいやノイズなど、通常動作に支障がない信号の挙動が、テスト制御用のフリップフロップのセットを行ってしまう場合には、従来例2の構成を含むLSIを使用した装置が市場で再現性の悪い誤動作を起こしてしまうことになる。

【0030】さらに、テスト対象となるLSIが複数のブロックに分割できない場合には、従来例2を適用する前提であるテスト対象ブロックに影響しない通常信号が存在しないことになる。

【0031】次に、特公平1-153986号公報（「従来例3」という）をもとに従来技術を説明する。従来例3は、テスト発生回路がテストモード設定専用端子を使用するので、通常端子以外に別端子が必要となるため利用効率が悪いという問題があり、さらの高圧検出方式はテストモード設定端子に通常動作部よりも高耐圧な構造が必要とされる等の問題を解決するものとして、テストモード設定専用端子を設けず、通常端子を使用して論理集積回路のテストモードを設定するテスト信号発生回路を提供することを目的とするものである。

【0032】従来例3では、通常入力信号であるリセット入力信号がインアクティブ・レベルに変化する変化点を検出し、入力クロックに同期した半クロック間のパルスを生成する。このパルスをアナログ的に所定時間TDA遅延した信号と、本来のパルスとの論理積をとることでテストモードへの移行を行なう。

【0033】アナログ遅延時間は入力クロックによらずほぼ一定であるため、アナログ遅延時間をLSIの動作周波数より十分長く確保しておけば、LSIを通常動作させている時にテストモードに移行することはない。

【0034】LSI製造時等のテストに際して、テストモードへの移行が必要な時には、リセット信号のインアクティブ変化後に入力クロック周期をアナログ遅延時間TDAより十分長くとることで、本来のパルスとアナログ遅延パルスの論理積出力からテストモード移行信号を発生している。

【0035】しかしながら、従来例3では、LSI内部にアナログ遅延を使用しているため、LSI製造時の製造条件や、動作電圧、動作温度によって遅延時間TDAが変化する。すなわち、遅延時間TDAの最小値と最大値が大きな幅を持つことになる。

【0036】また、遅延時間TDAの最小値においても、通常使用時に、誤ってテストモードに移行することを避けるためには、ユーザーの通常使用時に予想される最低動作周波数より、遥かに大きなアナログ遅延回路を設けなければならない。

【0037】一例として、最大動作周波数20MHz（メガヘルツ）のLSIをユーザーが周波数5MHzで使用する場合には、5MHz（＝200ナノ秒周期）の半クロック分よりも遥かに大きな、例えば5ミリ秒程度のアナログ遅延を設けることが必要とされる。

6

【0038】しかし、近年の高集積／高速動作のLSIプロセスのもとで、テスト回路のためにだけ5ミリ秒の遅延回路を設けることは、貴重なチップ面積の浪費ではない。

【0039】また、従来例3においては、通常動作時に誤ってテストモードへ移行することを防ぐために入力クロックの下限を規定しなければならない。

【0040】しかし、近時、LSIがマイクロプロセッサやマイクロコントローラである場合には、動作周波数を下げて装置の消費電力を低減することが求められている。キーボード入力待ちなどでマイクロプロセッサの入力クロック周波数を徐々に下げてゆくことにより、装置の消費電力を低減するような用途においては、この従来例3は適用できない。

【0041】従って、本発明は、前記問題点を解消し、クロック分周回路を備えた半導体集積回路において、クロックの位相の同期化を可能とし、テストを容易にする半導体集積回路及びそのテスト方法を提供することを目的とする。

【0042】

【課題を解決するための手段】前記目的を達成するため、本発明は、テストモードを有する半導体集積回路において、テスト信号入力手段と、テスト信号デコード手段と、クロック入力手段と、該クロック入力手段から入力されたクロックを分周する分周手段と、を有し、前記分周手段に対して、前記テスト信号入力手段から入力されたテスト信号を前記テスト信号デコード手段によりデコードした結果を用いてクロックの位相合わせを行うことを特徴とする半導体集積回路を提供する。

【0043】また、本発明は、好ましくは、テスト信号入力手段から入力されたテスト信号によりクロックの位相合わせを行う期間には、前記クロック入力手段へ入力されるクロックの周期が伸長されることを特徴とするものである。

【0044】さらに、本発明は、前記テスト信号デコード手段が、前記テスト信号入力手段から入力されたテスト信号の組合わせに基づき、テストモード時以外の通常動作時においても、前記分周手段にクロックの位相合わせを行うための信号を供給するように構成されたことを特徴とする。

【0045】本発明は、テスト信号入力手段と、テスト信号デコード手段と、クロック入力手段と、該クロック入力手段から入力されたクロックを分周する分周手段と、を備えた半導体集積回路のテスト方法であって、前記テスト信号入力手段に所定の信号を供給し、前記分周手段に対して前記テスト信号入力手段から入力された信号を前記テスト信号デコード手段がデコードし、前記テスト信号デコード手段の出力に基づきクロックの位相合わせを行うようにしたことを特徴とする半導体集積回路のテスト方法を提供する。

7

【0046】本発明のテスト方法においては、前記テスト信号入力手段から入力されたテスト信号による位相合わせを行う期間には、クロック入力手段へ入力するクロックの周期を伸長してクロックの位相合わせを行うことを特徴としている。

【0047】

【作用】上記構成のもと、本発明に係る半導体集積回路によれば、テストモード動作時において、クロック分周回路を構成するフリップフロップの初期状態の如何にかかわらず、クロック出力の位相を一定とすることができるため、製造時のLSIテストのプログラムを簡略化してテスト容易化を達成すると共に、製造時のテスト時間を短縮することができる。このため、本発明は半導体集積回路の製造コストの低減を達成している。

【0048】また、本発明によれば、テスト信号入力手段から入力されたテスト信号によりクロックの位相合わせを行う期間には、前記クロック入力手段へ入力されるクロックの周期が伸長されるため、クロック分周回路のリセット信号のクロック入力に対するセットアップ時間及びホールド時間が十分に確保され、タイミングの詳細な調整等を不要とし、テストの容易化を達成している。

【0049】さらに、本発明によれば、テストモード時のみならず、通常動作時においても、クロック分周器からのクロック出力信号の位相が常に一定とされるため、テスト容易化を達成する他、さらにタイミング設計等の設計容易化を達成している。

【0050】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0051】

【実施例1】図1は本発明の一実施例に係るマイクロプロセッサのクロックの供給回路を示すブロック図である。図1において、図5と同一の参照番号を有する、201から208までの各要素は前記従来例1で説明したものと同一の機能を果たすものであるため説明は省略し、以下では前記従来例1との相違点のみを説明する。

【0052】図1では、図5の従来例1で用いられたクロック分周器207の代わりに、リセット付きクロック分周器101が設けられている。

【0053】また、図5に示す従来例1では、CPU206のテストモードを制御する信号として、テスト入力(TEST) 204から一本のテスト信号が入力される構成であったが、本実施例では、図1に示すように、テスト入力(TEST(1-0)) 102から2本のテスト信号が入力される。

【0054】更に、本実施例は、テスト入力(TEST(1-0)) 102から入力されたテスト信号をデコードするためのデコーダ103と、ORゲート104、105を備えている。

【0055】図2に、本発明の一実施例に係るクロック分周器101の詳細と動作タイミングを示す。

【0056】図2(A)に示すように、本実施例では、ク

8

ロック分周は、立上り同期のフリップフロップ401を用いてエッジトリガの1/2分周を実現しており、図2(B)のタイミングチャートに示すように入力の立ち上がりに同期して出力が変化する。

【0057】フリップフロップ401はクロックとは非同期なリセット入力(R)を備えている。

【0058】次に、図1と図2を参照して、本発明に係るクロック位相同期方式の動作について説明する。

【0059】本実施例では、図5の従来例1と同様に、クロック入力(CLKIN) 202から入力されたクロック信号は、クロック分周器101にて1/2分周されてCPU206のクロック入力端子(CPUCLK)に供給されるとともにクロック出力(CLKOUT) 205から外部に出力される。

【0060】テスト入力(TEST(1-0)) 102から入力された2本のテスト信号はデコーダ103に入力されてデコードされる。

【0061】デコーダ103は、一般的な2入力4出力のデコーダであり、例えば、図中デコーダ103内に記載した入力信号の組合せに対応して出力が“1”になる。すなわち、デコーダ103に入力される信号が“00”の時はORゲート105の一方の入力が“1”となり、“01”の時はORゲート105の他方の入力とORゲート104の一方の入力が共に“1”となり、“10”の時はORゲート104の他方の入力が“1”となる。

【0062】一般ユーザーが、マイクロプロセッサ201を使用する場合(すなわち通常動作時)には、テスト入力(TEST(1-0)) 102を、“11”に固定して使用するか、あるいは、無接続とすることでプルアップ抵抗208により“11”がデコーダ103に入力される。この場合、CPU206は通常動作状態とされクロック分周器101のリセット入力(R)に供給されるリセット信号106もインアクティブ状態とされる。

【0063】デコーダ103の“00”出力と“01”出力との論理和を出力するORゲート105により、CPU206はテスト機能を作動させる。なお、本実施例においてCPU206のテストモード制御端子(TEST)は“1”のときアクティブとされる。

【0064】また、デコーダ103の入力が“10”又は“01”の時には、ORゲート104の出力から、クロック分周器101のリセット入力(R)に対して位相同期を行うリセット信号106が供給される。

【0065】従って、デコーダ103の“01”出力はCPU206のテスト機能を作動させると共にリセット信号106をアクティブとする。デコーダ103の入力が“10”の場合、CPU206は通常動作状態とされる。

【0066】図2(B)のタイミング図において、出力(i)は、電源投入時点でフリップフロップ401の値(=出力Q)が“1”の場合、出力(ii)は、電源投入時点でフリップフロップ401の値が“0”の場合を示している。

【0067】図2(B)に示すように、電源投入時点のク

ロック分周器101内部のフリップフロップ401の値にかかわらず、時刻TRにおいて位相同期リセット信号106によりフリップフロップ401がリセットされるため、以降の時刻TにおいてCPU206に供給されるクロックの位相は常に一定となる。

【0068】すなわち、クロック分周器101のリセット入力(R)に入力されるリセット信号106は、図2(B)に示すように、電源投入時刻から数えて所定クロック経過後において(図2(B)では例えば4クロック目において)、高電位とされ、このため、フリップフロップ401の出力(Q)は高電位にある場合にも強制的(非同期)に低電位とされ(図2(B)の出力(ii)の矢印参照)、時刻TRにおいて、出力(i)及び(ii)は共に低電位にリセットされている。フリップフロップ401は、時刻TR以降には、入力の立上がりエッジに同期して1/2分周することになり、フリップフロップ401の初期状態に依らずクロック分周器101の出力の位相が一致する。

【0069】本実施例では、クロック分周器101の位相同期を行うリセット信号106は、テスト入力(TEST(1-0))102に“10”または“01”が入力された時にアクティブとされるため、通常動作中、及びテスト機能を使用中のいずれの場合にも、テスト入力(TEST(1-0))102から入力されるテスト信号の設定によりクロックの位相同期を行うことができる。

【0070】

【実施例2】以下に本発明の別の実施例を説明する。

【0071】実際のLSIテストにおいては、信号のアナログ的な遅延を考慮しなければならない。

【0072】特に、上記実施例のように、位相合わせを、テスト入力(TEST(1-0))102に入力されたテスト信号を入力とするデコーダ103のデコード出力信号から生成しているような場合には、デコード遅延が大きい場合、LSIテスト側から印加される信号によりテスト信号TEST(1)とTEST(0)を変化させてから、実際の位相合わせが行われるまでのタイミングの調整は難しくなる。

【0073】そして、フリップフロップ401において、位相合わせを行うためのリセット信号106が、クロック入力に対して十分なセットアップ時間とホールド時間を確保できなければ、誤動作が生じる。

【0074】また、LSIテストから入力する信号の最小周期はマイクロプロセッサ201の最大動作周波数程度、すなわち、クロック入力(CLKIN)202に入力されるクロック周期程度であることが多いため、予めデコーダ103等の遅延を考慮してテスト入力(TEST(1-0))102とクロック入力(CLKIN)202を入力することは困難である。これはマイクロプロセッサ201の内部回路であるデコーダ103及びORゲート104の遅延を介して出力されるリセット信号106のタイミングをLSIテスト側で直接制御できないことにも由る。

【0075】そこで、本実施例では、図2(B)の動作タ

イミングチャートに示すように、リセット信号106により位相合わせを行う期間は、クロック入力(CLKIN)202の周期を伸ばしている。

【0076】これによりフリップフロップ401の非同期型リセット信号106について、クロック入力に対して十分なセットアップ時間とホールド時間を確保できる。また、本実施例によれば、テストのためのタイミング設計を容易とする。

【0077】

10 【実施例3】次に、本発明に係るマイクロプロセッサのLSIテストでのテスト方法を説明する。図3及び図4は、上記実施例で説明したクロック位相同期回路を備えたマイクロプロセッサをLSIテストでテストする場合において、LSIテストから被試験デバイスであるマイクロプロセッサ201に印加するテストパターン(テストベクトル)のシーケンスの一例を示すタイミング図と、LSIテストの動作ステップをそれぞれ示したものである。

【0078】図3に示すように、クロック入力(CLKIN)202に、所定の周期mにて所定の数N1回分クロックを供給し、次に、半クロック期間の周期をM(但し、Mはmに比べて大)に変更し、その後再び元の周期mにて所定の数N2回分をクロック信号を供給する。

【0079】テスト入力(TEST(1-0))102のうちTEST(1)を図示時刻TRのタイミングにおいて高電位とするパターンを用意する。テスト入力102のうちTEST(0)には低電位状態が印加されるように設定される。リセット入力(RESET)203はCPU206をリセットするための信号である。図3に示すように、LSIテストでクロックを所定数(N1)供給した後に、テスト入力(TEST(1-0))102として、例えば“10”等を設定するのは、CPU206等に予めクロックを所定数供給した後にクロック分周器101をリセットするためである。

【0080】図3に示すように、本実施例によれば、被試験デバイスである半導体集積回路がクロック位相同期回路を備えているために、LSIテスト側から所定のタイミングでクロック位相同期回路をリセットするためのテスト信号を供給すればよい。このように、本実施例によれば、LSIテストは被試験デバイスであるLSIと調歩同期をとる必要がないため、テストパターンが短縮化され、且つ制御プログラムも簡易化する。

【0081】図4は、LSIテストにおいて、被試験デバイスであるマイクロプロセッサ201をテストする際に、図3のクロック入力(CLKIN)202を発生させるための動作シーケンスの典型的な例を示す流れ図である。

【0082】図4に示すように、まず、クロック入力ピンについて、クロック周期、タイミング、波形フォーマット、及び使用パターン等から成る入力信号波形を定義する(ステップ501)。

【0083】被試験デバイスであるマイクロプロセッサ201のクロック入力(CLKIN)202に、ステップ501で設定

1 1

された所定の周期 m にて所定の数 $N1$ 回分クロック信号をLSIテストから印加する(ステップ502)。次に、半クロック期間の周期を M に変更してクロック入力(CLKIN)202に信号を印加する(ステップ503)。このクロック周期の変更は、例えば通常LSIテストに備えられた、テスト周期等を規定するタイミングセットの切替により行なわれる。その後再び所定の周期 m にて所定の数 $N2$ 回分のクロック信号をクロック入力(CLKIN)202に出力する(ステップ504)。

【0084】以上本発明を上記実施例に即して説明したが、本発明は、上記態様にのみ限定されるものではなく、本発明の原理に準ずる各種態様を含むことは勿論である。例えば、上記実施例では、クロック分周器を備えたマイクロプロセッサを例に本発明を説明したが、本発明は他の集積回路を含む。

【0085】

【発明の効果】以上説明したように、本発明によるクロックの位相同期回路を備えた半導体集積回路によれば、製造時のLSIテストのプログラムを簡略化する等テスト容易化を達成すると共に、製造時のテスト時間を従来より短縮することができるため、製造コストの低減を達成するものである。

【0086】また、本発明によれば、テスト信号入力手段から入力されたテスト信号によりクロックの位相合わせを行う期間には、前記クロック入力手段へ入力されるクロックの周期が伸長されるため、テスト時において、クロック分周回路のリセット信号のクロック入力に対するセットアップ時間及びホールド時間が十分に確保され、タイミングの詳細な調整等を不要とし、テストの容易化を達成している。

【0087】また、本発明の半導体集積回路によれば、電源投入後のリセット動作において、テストモード時のみならず、通常動作時においても、クロック分周器からのクロック出力信号の位相が常に一定とされるという効果を有するため、テスト容易化を達成する他、さらにタイミング設計等回路の設計容易化を達成している。

【0088】さらに、本発明のクロックの位相同期回路

1 2

を備えた半導体集積回路のテスト方法によれば、製造時のLSIテストのプログラムを簡略化する等テスト容易化を達成すると共に、製造時のテスト時間を従来より短縮することができるため、製造コストの低減を達成するものである。

【図面の簡単な説明】

【図1】本発明の一実施例に係るマイクロプロセッサのクロックの供給回路を示すブロック図である。

【図2】(A)本発明の一実施例のクロック分周器の詳細説明図である。

(B)クロックの位相同期回路の動作シーケンスを示すタイミングチャートである。

【図3】本発明のテスト方法に係るタイミングチャートである。

【図4】本発明のテスト方法によるLSIテストのテストプログラムの制御を示す流れ図である。

【図5】従来の技術によるマイクロプロセッサのクロックの供給回路を示すブロック図である。

【図6】(A)従来の技術によるクロック分周器の詳細説明図である。

(B)クロックのタイミングチャートである。

【図7】従来例2のテスト方法の構成を示すブロック図である。

【符号の説明】

101 クロック分周器

102 テスト入力

103 デコーダ

105、104 ORゲート

106 リセット信号

30 201 マイクロプロセッサ

202 クロック入力

203 リセット入力

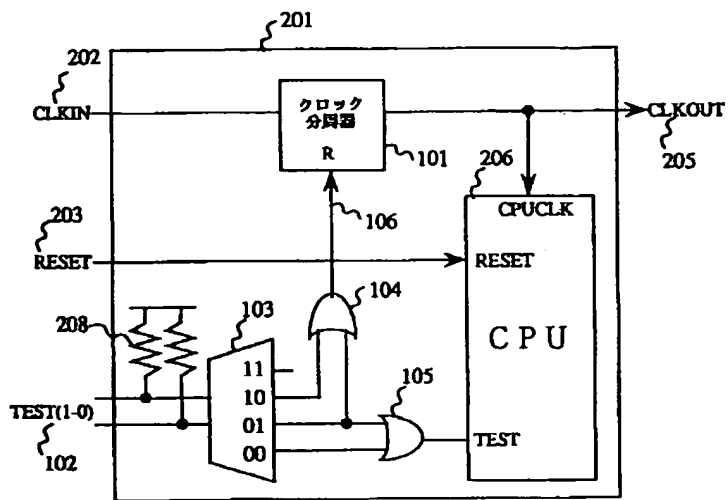
205 クロック出力

206 中央処理装置(CPU)

207 クロック分周器

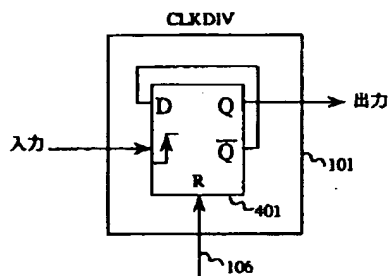
208 プルアップ抵抗

【図1】

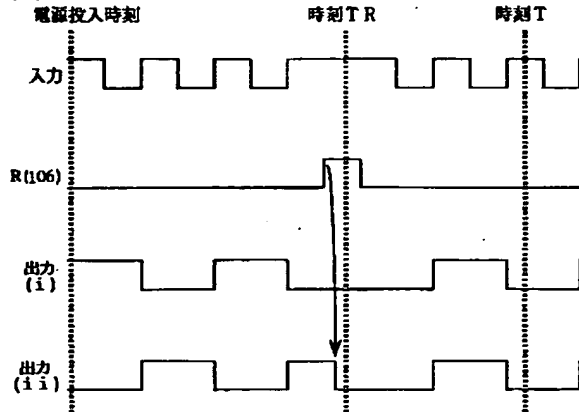


【図2】

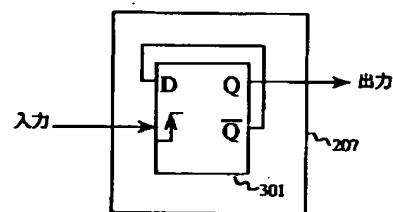
(A)



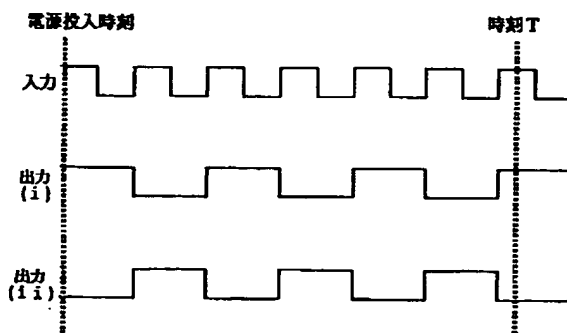
(B)



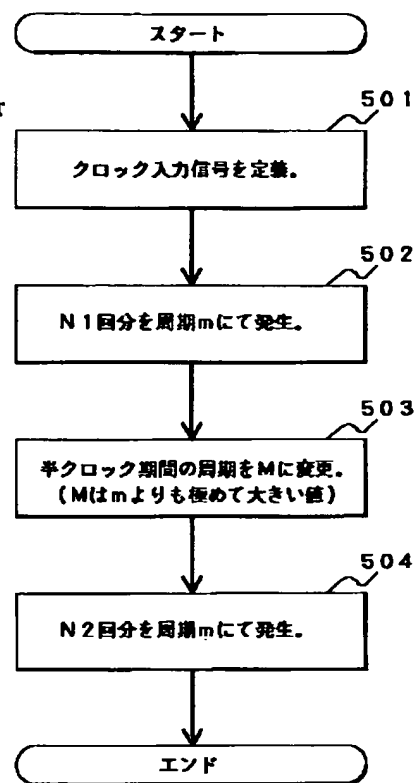
(A)



(B)

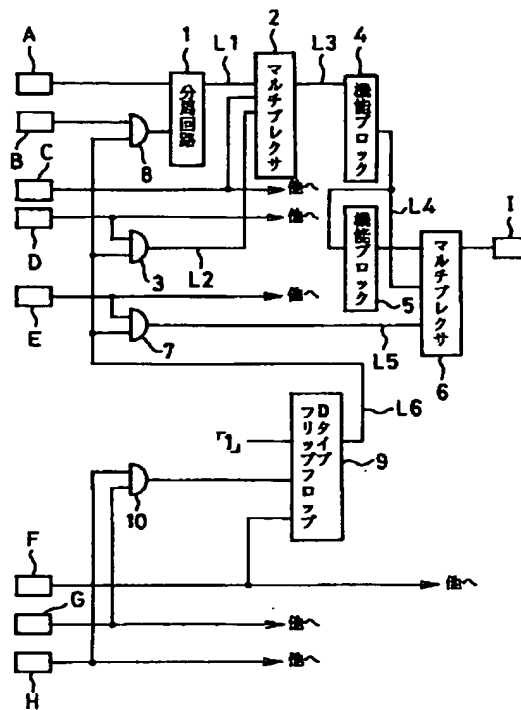


【図4】



【図6】

【図7】



フロントページの続き

(51)Int. Cl.⁶

H01L 27/04
21/822

識別記号

庁内整理番号

F I

技術表示箇所

H01L 27/04

T

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.